



⑬ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 101 03 481 A 1**

⑤ Int. Cl. 7:
G 01 R 29/00
H 03 H 17/04

DE 101 03 481 A 1

⑲ Aktenzeichen: 101 03 481.4
⑳ Anmeldetag: 26. 1. 2001
㉑ Offenlegungstag: 14. 8. 2002

⑦ Anmelder:
Rohde & Schwarz GmbH & Co. KG, 81671
München, DE

⑧ Vertreter:
Mitscherlich & Partner, Patent- und Rechtsanwälte,
80331 München

⑦ Erfinder:
Boß, Hermann, 83607 Holzkirchen, DE

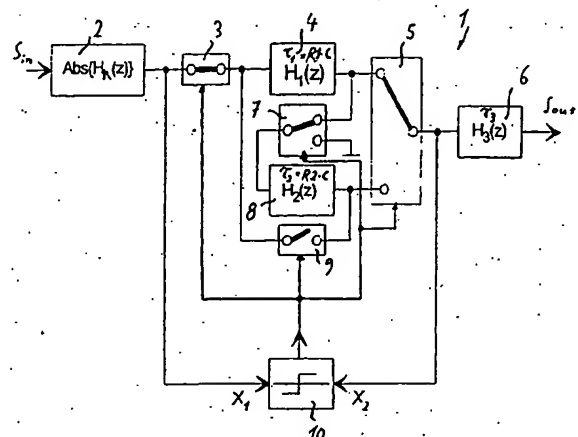
⑤ Für die Beurteilung der Patentfähigkeit in Betracht
zu ziehende Druckschriften:
DE 38 17 499 C1
TIETZE, U., SCHENK, Ch.: Halbleiter-Schaltungs-
technik, Springer, 1999, 11. Aufl., S. 1133, 1171-
S. 1175, 1184-1186;
HOGENAUER, Eugene B.: An Economical Class of
Digital Filters for Decimation and Interpolation.
In: IEEE Transactions On Acoustics, Speech, And
Signal Processing, Vol. ASSP-29, No. 2, April 1981,
S. 155-162;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤ Quasi-Peak-Detektor

⑤ Ein Quasi-Peak-Detektor (1) dient zur Erfassung des gewichteten Spitzenwertes der Hüllkurve (Quasi-Peak) eines Signals (S_{in}). Der Quasi-Peak-Detektor (1) umfaßt ein digitales Ladefilter (4), das den Ladevorgang eines Kondensators nachbildet, ein digitales Entladefilter (8), das den Entladevorgang eines Kondensators nachbildet und ein dem digitalen Ladefilter (4) und dem digitalen Entladefilter (8) nachgeschaltetes digitales Dämpfungsfilter (6), welches das Dämpfungsverhalten eines Meßinstruments nachbildet.



DE 101 03 481 A 1

[0001] Die Erfindung betrifft einen sogenannten Quasi-Peak-Detektor. Quasi-Peak-Detektoren dienen zur Erfassung des gewichteten Spitzenwertes der Hüllkurve eines Signals, beispielsweise einer Zwischenfrequenzstufe.

[0002] Der Quasi-Peak-Detektor transformiert die Hüllkurve einer elektrischen Störspannung in einen Ausgangssignalpegel, der dem psycho-physikalischen Wahrnehmungsverhalten des menschlichen Ohres bzw. des menschlichen Auges angepaßt ist. Die Spezifikation solcher Quasi-Peak-Detektoren findet sich in "IEC CISPR 16-1/1999-10", "Specification of Radio Disturbance and Immunity Measuring Apparatus and Methods", Part 1: "Radio Disturbance and Immunity Measuring Apparatus". Das menschliche Ohr bzw. das menschliche Auge nimmt Störimpulse bei gleicher Amplitude um so störender wahr, je höher die Wiederholrate der Störimpulse ist. Es ist der Zweck eines Quasi-Peak-Detektors, dieses subjektive Wahrnehmungsverhalten des menschlichen Ohres bzw. menschlichen Auges nachzubilden.

[0003] Fig. 2 zeigt das Verhalten eines Quasi-Peak-Detektors, wie es in der obengenannten Spezifikation gefordert wird. Dargestellt ist der Pegel der eingangsseitigen Störspannung, welcher erforderlich ist, um einen jeweils gleichen Ausgangspegel am Ausgang des Quasi-Peak-Detektors zu erreichen, in Abhängigkeit von der Puls-Rate (Wiederholrate) der Störspannung. Dabei ist erkennbar, daß der Quasi-Peak-Detektor bei niedriger Puls-Rate eine höhere Störspannung benötigt, um einen bestimmten Ausgangspegel zu erreichen, als bei höherer Puls-Rate. Anders ausgedrückt ist der Quasi-Peak-Detektor empfindlicher für Störspannungen mit höherer Puls-Rate.

[0004] Quasi-Peak-Detektoren wurden bislang in analoger Bauweise in einer Weise aufgebaut, wie dies aus Fig. 1 hervorgeht. Dies ist z. B. aus Application Note HP-AN 331-1 der Fa. Hewlett-Packard, Mai 1986, bekannt. Das Eingangssignal S_{in} wird an einer Diode D gleichgerichtet und über einen Ladewiderstand R1 einem Kondensator C zugeführt. Während jeder Halbwelle des Eingangssignals S_{in} wird somit der Kondensator C über den Ladewiderstand R1 geladen. Die Entladung des Kondensators C erfolgt über einen dem Kondensator C parallel geschalteten Entladewiderstand R2. Nach dem Puffer B kann direkt ein Meßinstrument, beispielsweise ein Dreheisenmeßinstrument, angeschlossen werden, was hauptsächlich in den Anfangszeiten der Quasi-Peak-Messungen in dieser Weise durchgeführt wurde. In jüngerer Zeit erfolgt die Auswertung der Regel elektronisch, wobei dem Puffer B ein analoger Tiefpaß T_3 nachgeschaltet wird, der das Ansprechverhalten des Meßinstruments nachbildet. Die Schaltung hat somit 3 Zeitkonstanten: eine Lade-Zeitkonstante $\tau_1 = R1 \cdot C$, eine Entladezeitkonstante $\tau_2 = R2 \cdot C$ und eine Dämpfungszeitkonstante τ_3 des Dämpfungselements T_3 .

[0005] Bei der analogen Realisierung eines Quasi-Peak-Detektors treten folgende Probleme auf: für eine exakte Messung muß die Diode D kompensiert werden. Aufgrund der großen Entlade-Zeitkonstante τ_2 muß der Kondensator eine hohe Güte haben, d. h. er muß die Ladung über eine längere Zeit (mehrere Sekunden) ohne wesentliche Verluste halten können. Wie Fig. 2 zeigt, ist die Empfindlichkeit des Quasi-Peak-Detektors für unterschiedliche Frequenzbänder in unterschiedlicher Weise vorgeschrieben, so daß für jedes Frequenzband eine andere Schaltung eingesetzt werden muß. Die Langzeit- und Temperatur-Stabilität ist schwierig zu erreichen. Die Abstimmung des Detektors und die Bereichsumschaltung gestalten sich schwierig.

[0006] Der Erfindung liegt deshalb die Aufgabe zugrunde,

einen Quasi-Peak-Detektor zu schaffen, bei welchem die obigen Nachteile nicht vorhanden sind, der insbesondere eine große Langzeit- und Temperaturstabilität hat, der für jedes Frequenzband verwendet werden kann und der nicht justiert werden muß.

[0007] Die Aufgabe wird durch die Merkmale des Anspruchs 1 gelöst.

[0008] Erfindungsgemäß finden ein digitales Ladefilter, das den Ladevorgang des Kondensators nachbildet, ein digitales Entladefilter, das den Entladevorgang des Kondensators nachbildet und ein digitales Dämpfungsfilter, welches das Dämpfungsverhalten des Meßinstruments nachbildet, anstatt der in Fig. 1 dargestellten analogen Bauteile Verwendung. Die digitale Realisierung des Quasi-Peak-Detektors erlaubt eine Messung mit hoher Genauigkeit.

[0009] Die Unteransprüche beinhalten vorteilhafte Weiterbildungen des erfindungsgemäßen Quasi-Peak-Detektors.

[0010] Das digitale Ladefilter und das digitale Entladefilter können als IIR (Infinite Impulse Response)-Filter erster Ordnung implementiert werden, wobei die Eingangswerte für das Entladefilter identisch Null sind, so daß die eingangsseitigen Koeffizienten auf Null gesetzt werden können bzw. die eingangsseitigen Multiplizierer entfallen können.

[0011] Das digitale Dämpfungsfilter kann als IIR (Infinite Impulse Response)-Filter zweiter Ordnung ausgebildet sein und zwei kritisch gedämpfte, gekoppelte Tiefpässe erster Ordnung implementieren. Dabei sind zwei Koeffizienten identisch.

[0012] Das digitale Eingangsfilter kann ebenfalls als IIR (Infinite Impulse Response)-Filter zweiter Ordnung realisiert werden.

[0013] Die Erfindung wird nachfolgend unter Bezugnahme auf die Zeichnung näher beschrieben. In der Zeichnung zeigen:

[0014] Fig. 1 den grundsätzlichen Aufbau eines Quasi-Peak-Detektors in analoger Bauweise nach dem Stand der Technik;

[0015] Fig. 2 ein Diagramm zur Erläuterung der Empfindlichkeit des Quasi-Peak-Detektors;

[0016] Fig. 3 ein Ausführungsbeispiel des erfindungsgemäßen Quasi-Peak-Detektors in einem ersten Schaltzustand;

[0017] Fig. 4 das in Fig. 3 dargestellte Ausführungsbeispiel des Quasi-Peak-Detektors in einem zweiten Schaltzustand;

[0018] Fig. 5 ein Blockdiagramm eines Ausführungsbeispiels eines erfindungsgemäßen Quasi-Peak-Detektors;

[0019] Fig. 6 eine Realisierung des Eingangsfilters des in Fig. 3-5 dargestellten Ausführungsbeispiels;

[0020] Fig. 7A eine Realisierung des Ladefilters bzw. Entladefilters bei dem in den Fig. 3-5 dargestellten Ausführungsbeispielen;

[0021] Fig. 7B das Ersatzschaltbild des Ladefilters;

[0022] Fig. 7C das Ersatzschaltbild des Entladefilters;

[0023] Fig. 8 eine Realisierung des Dämpfungsfilters des in den Fig. 3-5 dargestellten Ausführungsbeispiels;

[0024] Fig. 9A ein Störsignal mit der Puls-Rate von 1 Hz;

[0025] Fig. 9B das Signal vor und nach dem Dämpfungsfilter bei einem erfindungsgemäßen Quasi-Peak-Detektor, bei dem in Fig. 9A dargestellten Eingangssignal;

[0026] Fig. 10A ein Störsignal mit der Puls-Rate von 5 Hz und

[0027] Fig. 10B das Signal vor und nach dem Dämpfungsfilter bei einem erfindungsgemäßen Quasi-Peak-Detektor, bei dem in Fig. 10A dargestellten Eingangssignal.

[0028] Fig. 3 zeigt ein Ausführungsbeispiel eines erfindungsgemäßen Quasi-Peak-Detektors 1. Das Eingangssignal S_{in} wird einem digitalen Eingangsfilter 2a (Fig. 5) mit

der Übertragungsfunktion $H_k(z)$ zugeführt. Am Ausgang des digitalen Eingangsfilters 2a findet sich ein Betragbildner 2b (Fig. 5), der den Betrag des Ausgangssignals bildet, so daß die Übertragungsfunktion des Filterblocks 2, in welchen das Eingangsfilter 2a und der Betragbildner 2b zusammengefaßt sind, insgesamt lautet: $\text{Abs} \{H_k(z)\}$

[0029] Das Eingangsfilter 2 ist über ein erstes Schaltelement 3 mit einem digitalen Ladefilter 4 verbunden. Das digitale Ladefilter 4 hat die Übertragungsfunktion $H_1(z)$ und bildet den Ladevorgang des Kondensators C mit der Zeitkonstante $\tau_1 = R_1 \cdot C$ nach. In Fig. 3 ist der Ladezyklus des erfindungsgemäßen Quasi-Peak-Detektors 1 dargestellt. Der Ausgang des digitalen Ladefilters 4 ist über ein zweites Schaltelement 5 mit einem digitalen Dämpfungsfilter 6 verbunden. Das digitale Dämpfungsfilter 6 bildet das Dämpfungsverhalten eines Meßinstruments mit der Zeitkonstante τ_3 nach und hat die Übertragungsfunktion $H_3(z)$. Am Ausgang des Dämpfungsfilters 6 steht das Ausgangssignal S_{out} zur Verfügung. Der Endwert des Ausgangs am Ende des Ladevorgangs wird über ein drittes Schaltelement 7 dem digitalen Entladefilter 8 übergeben, der diesen Endwert als Startwert für den Entladezyklus benutzt. Der Ausgang des Entladefilters 8 ist bei dem in Fig. 3 dargestellten Ladezyklus von dem Dämpfungsfilter 6 durch das Schaltelement 5 getrennt. Ferner ist ein viertes Schaltelement 9 vorgesehen, über welches der Ausgang des Entladefilters 8 mit dem Eingang des Ladefilters 4 verbindbar ist. Bei dem in Fig. 3 dargestellten Ladezyklus ist dieses Schaltelement 9 jedoch geöffnet.

[0030] Ferner ist eine Steuereinheit 10 vorhanden, die die Ausgangsspannung X_1 des Filters 2 mit der Eingangsspannung X_2 des Dämpfungsfilters 6 vergleicht. Wenn die Spannung X_1 größer als die Spannung X_2 ist, so befindet sich die Schaltung im Ladezyklus und die Steuereinheit 10 schaltet die Schaltelemente 3, 5, 7 und 9 in den in Fig. 3 dargestellten Schaltzustand. Wenn die Spannung X_2 größer als die Spannung X_1 ist, so befindet sich die Schaltung in dem Entladezyklus und die Schaltelemente 3, 5, 7 und 9 werden in ihre in Fig. 4 dargestellte Schaltstellung geschaltet.

[0031] In der in Fig. 4 dargestellten Schaltstellung ist der Ausgang des Filters 2 von dem Ladefilter 4 getrennt. Ferner ist der Ausgang des Ladefilters 4 sowohl von dem Dämpfungsfilter 6 als auch von dem Eingang des Entladefilters 8 getrennt und der Eingang des Entladefilters 8 befindet sich auf Null-Potential. Der Ausgang des Entladefilters 8 ist über das Schaltelement 5 mit dem Eingang des Dämpfungsfilters 6 und über das Schaltelement 9 mit dem Eingang 11 des Ladefilters 4 verbunden. Somit wird der Endwert des Ausgangs des Entladefilters 8 am Ende des Entladezyklus über das Schaltelement 9 an den Eingang des Ladefilters 4 übertragen, so daß der an den Entladezyklus anschließende Ladezyklus mit diesem Startwert beginnen kann.

[0032] Fig. 5 zeigt ein Blockschaltbild eines erfindungsgemäßen Quasi-Peak-Detektors 1 in einer etwas abgewandelten Darstellung. Der Eingangsfilterblock 2 ist in das Eingangsfilter 2a und den nachgeschalteten Betragbildner 2b aufgeteilt. Da das Ladefilter 4 und das Entladefilter 8 im wesentlichen in gleicher Weise implementiert werden können, sind diese beiden Filter zu einem Filterblock 11 zusammengefaßt. Die Übernahme des Endwerts des Ladefilters 4 als Startwert für das Entladefilter 8 und umgekehrt die Übernahme des Endwerts des Entladefilters 8 als Startwert für das Ladefilter 4 erfolgt intern innerhalb des Filterblocks 11. Es ist deshalb nur ein einziges Umschaltelement 12 am Eingang des Filterblocks 11 erforderlich. Der Detektor 10 vergleicht auch bei diesem Ausführungsbeispiel den Signalpegel X_1 am Ausgang des Betragbildners 2b mit dem Signalpegel X_2 am Eingang des Dämpfungsfilters 6. Wenn der Si-

gnalpegel X_1 größer als der Signalpegel X_2 ist, wird der Filterblock 11 so geschaltet, daß der Filterblock 11 als Ladefilter 4 arbeitet. Wenn hingegen der Signalpegel X_2 größer ist als der Signalpegel X_1 , so wird der Filterblock 11 so geschaltet, daß der Filterblock 11 als Entladefilter 8 arbeitet. Dem Dämpfungsfilter 6 ist ein Maximalwert-Bildner 13 nachgeschaltet, der den Maximalwert des Ausgangssignals S_{out} bestimmt.

[0033] In den Fig. 6-8 sind mehrere Implementierungsbeispiele für die digitalen Filter 2a, 4, 8 und 6 dargestellt.

[0034] Fig. 6 zeigt ein Ausführungsbeispiel für das Eingangsfilter 2a. Es hat sich herausgestellt, daß bei der digitalen Realisierung des Quasi-Peak-Detektors 1 sich das in Fig. 2 dargestellte Verhalten nicht exakt erreichen läßt, wenn nur das Lade-RC-Glied bestehend aus R_1 und C einerseits und das Entlade-RC-Glied bestehend aus R_2 und C andererseits als digitale Tiefpässe realisiert werden und das Dämpfungsfilter T_3 als kritisch gedämpfter Tiefpaß zweiter Ordnung realisiert wird. Das Eingangsfilter 2 korrigiert den Frequenzgang des Meßgeräts, um die in der Norm spezifizierten Meßbandbreiten zu erreichen. Um das in Fig. 2 dargestellte Verhalten in Abhängigkeit von der Puls-Rate exakt nachzubilden, ist das Eingangssignal S_{in} in dem Eingangsfilter 2a zunächst vorzufiltern. Es hat sich gezeigt, daß dieses Eingangsfilter 2a als FIR (Finite Impulse Response)-Filter mit beispielsweise 63 Verzögerungselementen (Tap) implementiert werden muß. Diese Implementierung eignet sich für eine Hardware-Realisierung, z. B. durch einen ASIC. Entsprechend einem in Fig. 6 dargestellten bevorzugten Ausführungsbeispiel wird das Eingangsfilter 2a als IIR (Infinite Impulse Response)-Filter 2. Ordnung implementiert. Diese Implementierung eignet sich z. B. bei einer Realisierung durch einen digitalen Signalprozessor (DSP).

[0035] Bei der in Fig. 6 dargestellten Realisierung des Eingangsfilter 2a als IIR-Filter 2. Ordnung sind in üblicher Weise drei Addierer 16, 17, 18 vorgesehen, die über Verzögerungselemente 19 und 20 miteinander verbunden sind. Der Eingang IN ist über einen ersten Eingangs-Koeffizientenmultiplizierer 21, welcher das Eingangssignal mit einem ersten Eingangs-Koeffizienten b_3 multipliziert, mit dem ersten Addierer 16 verbunden, über einen zweiten Eingangs-Koeffizientenmultiplizierer 23, der das Eingangssignal mit einem zweiten Eingangs-Koeffizienten b_2 multipliziert, mit dem zweiten Addierer 17 verbunden und über einen dritten Eingangs-Koeffizientenmultiplizierer 23, welcher das Eingangssignal mit einem dritten Eingangs-Koeffizienten b_1 multipliziert, mit dem dritten Addierer 18 verbunden. Der Ausgang des dritten Addierers 18 ist über einen ersten Rückkopplungs-Koeffizientenmultiplizierer 14, welcher das Ausgangssignal mit dem ersten Rückkopplungs-Koeffizienten $-a_3$ multipliziert, mit dem ersten Addierer 16 verbunden und über einen zweiten Rückkopplungs-Koeffizientenmultiplizierer 15, welcher das Ausgangssignal mit einem zweiten Rückkopplungs-Koeffizienten $-a_2$ multipliziert, mit dem zweiten Addierer 17 verbunden. Der erste Addierer 16 addiert die Ausgangssignale der Koeffizientenmultiplizierer 21 und 14. Der zweite Addierer 17 addiert die Ausgangssignale des Verzögerungselements 19 und der Koeffizientenmultiplizierer 22 und 15. Der dritte Addierer 18 addiert die Ausgangssignale des Verzögerungselements 20 und des Koeffizientenmultiplizierers 23. Die Koeffizienten $b_1, b_2, b_3, -a_2$ und $-a_3$ sind so zu wählen, daß das in Fig. 2 dargestellte Verhalten erreicht wird.

[0036] Fig. 7A zeigt eine Implementierung des Filterblocks 11 als IIR-Filter 1. Ordnung. Wie bei IIR-Filtern 1. Ordnung üblich, ist der Eingang IN über einen ersten Eingangs-Koeffizientenmultiplizierer 24, welcher das Eingangssignal mit dem ersten Eingangs-Koeffizienten b_2 mul-

multipliziert, mit einem ersten Addierer 25 verbunden und über einen zweiten Eingangs-Koeffizientenmultiplizierer 26, welcher das Eingangssignal mit einem zweiten Eingangs-Koeffizienten b_1 multipliziert, mit einem zweiten Addierer 27 verbunden. Die Addierer 25 und 27 stehen über ein Verzögerungselement 28 miteinander in Verbindung. Der Ausgang des zweiten Addierers 27 ist über einen Rückkopplungs-Koeffizientenmultiplizierer 29, welcher das Ausgangssignal des zweiten Addierers 27 mit dem Rückkopplungs-Koeffizienten $-a_2$ multipliziert, mit dem ersten Addierer 25 verbunden. Der erste Addierer 25 addiert die Ausgangssignale der Koeffizientenmultiplizierer 24 und 29. Der zweite Addierer 27 addiert die Ausgangssignale des Verzögerungselements 28 und des Koeffizientenmultiplizierers 26.

[0037] Wenn der Filterblock 11 als Ladefilter 4 arbeitet, so sind die Koeffizienten b_1 , b_2 und $-a_2$ so zu wählen, daß der Filterblock 11 als Tiefpaß erster Ordnung arbeitet. Das diesbezügliche Ersatzschaltbild ist in Fig. 7B dargestellt. Der Kondensator C wird über den Widerstand R1 geladen.

[0038] Wenn der Filterblock 11 als Entladefilter 8 arbeitet, so sind die Eingangs-Koeffizienten b_1 und b_2 identisch Null zu wählen. Bei getrennter Implementierung des Ladefilters 4 und des Entladefilters 8 können die Koeffizientenmultiplizierer 24 und 26 daher auch entfallen. Das diesbezügliche Ersatzschaltbild ist in Fig. 7C dargestellt. Die Entladung des Kondensators C über den Widerstand R2 ist einer Tiefpaßfilterung äquivalent, bei welcher der Eingang des Längs-Widerstands R2 mit der Schaltungsmasse verbunden ist. Dem digitalen Filter wird deshalb in diesem Fall kontinuierlich ein mit Null identisches Eingangssignal zugeführt. Am Ausgang des zweiten Addierers 27 befindet sich ein Down-Sampler (Abtastratenkonverter), der die Abtastrate um den Faktor N herabsetzt.

[0039] Das Dämpfungsfilter 6 kann, wie in Fig. 8 dargestellt, als IIR-Filter 2. Ordnung im wesentlichen in gleicher Weise wie das Eingangsfilter 2a implementiert werden. Hierzu wird auf die Beschreibung zur Fig. 6 Bezug genommen, wobei bereits anhand von Fig. 6 beschriebene Elemente mit übereinstimmenden Bezugszeichen versehen sind. Da das Dämpfungsfilter 6 aus zwei kritisch gedämpften, gekoppelten Tiefpässen 1. Ordnung besteht, ist der erste Eingangs-Koeffizient b_3 identisch mit dem dritten Eingangs-Koeffizient b_1 , was in Fig. 8 verdeutlicht ist.

[0040] In den Fig. 9 und 10 wird das Verhalten des erfindungsgemäßen Quasi-Peak-Detektors 1 an zwei Beispielen veranschaulicht.

[0041] Fig. 9A zeigt ein Eingangssignal S_{in} mit der Puls-Rate (Wiederholrate) von 1 Hz. Die Fläche unter den Pulsen ist auf 1 normiert. In Fig. 9B sind das zu dem in Fig. 9A dargestellten Eingangssignal S_{in} zugehörige Signal X_2 am Ausgang des Filterblocks 11 und das Ausgangssignal S_{out} am Ausgang des Dämpfungsfilters 6 als Funktion der Zeit t dargestellt. Deutlich erkennbar ist das sägezahnförmige Lade- und Entladeverhalten, das durch das Ladefilter 4 und das Entladefilter 8 nachgebildet wird. Das aus zwei kritisch gedämpften, gekoppelten Tiefpässen 1. Ordnung bestehende Dämpfungsfilter 6 führt zu einem gedämpften, welligen Signal S_{out} .

[0042] Fig. 10A zeigt ein beispielhaftes Eingangssignal S_{in} mit einer Puls-Rate (Wiederholrate) von 5 Hz. Auch hier sind die Flächeninhalte der Pulse auf 1 normiert. Fig. 10B zeigt wiederum das Signal X_2 am Ausgang des Filterblocks 11 und das Signal S_{out} am Ausgang des Dämpfungsfilters 6. Im Gegensatz zu dem in Fig. 9B dargestellten Signal S_{out} ist das Signal S_{out} hier einer geringeren Welligkeit unterworfen und nähert sich einem asymptotischen Grenzwert. Der Maximumbildner 13 ermittelt jeweils das Maximum des Signals

S_{out} nach einer vorbestimmten Meßzeit.

[0043] Die Erfindung ist nicht auf die dargestellten Ausführungsbeispiele beschränkt. Insbesondere ist auch eine Realisierung mit anderen digitalen Filtern, beispielsweise FIR-Filtern möglich.

Patentansprüche

1. Quasi-Peak-Detektor (1) zur Erfassung des gewichteten Spitzenwertes der Hüllkurve (Quasi-Peak) eines Signals (S_{in}) mit einem digitalen Ladefilter (4), das den Ladevorgang eines Kondensators (C) nachbildet, einem digitalen Entladefilter (8), das den Entladevorgang eines Kondensators (C) nachbildet, einem dem digitalen Ladefilter (4) und dem digitalen Entladefilter (8) nachgeschalteten digitalen Dämpfungsfilter (6), welches das Dämpfungsverhalten eines Meßinstruments nachbildet.
2. Quasi-Peak-Detektor nach Anspruch 1, dadurch gekennzeichnet, daß das digitale Ladefilter (4) und das digitale Entladefilter (8) als IIR (Infinite Impulse Response)-Filter 1. Ordnung ausgebildet sind und jeweils einen Tiefpaß 1. Ordnung implementieren.
3. Quasi-Peak-Detektor nach Anspruch 2, dadurch gekennzeichnet, daß das IIR (Infinite Impulse Response)-Filter 1. Ordnung zwei Addierer (25, 27), ein zwischen den Addierern (25, 27) vorgesehenes Verzögerungselement (28), zwei einen Eingang (IN) des IIR-Filters jeweils mit einem der Addierer (25, 27) verbindende Eingangs-Koeffizientenmultiplizierer (24, 26) und einen den ausgangsseitigen Addierer (27) mit dem eingangsseitigen Addierer (25) verbindenden Rückkopplungs-Koeffizientenmultiplizierer (29) umfaßt, wobei die Koeffizienten (b_1 , b_2) der Eingangs-Koeffizientenmultiplizierer (24, 26) für das digitale Entladefilter (8) Null sind.
4. Quasi-Peak-Detektor nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß das digitale Dämpfungsfilter (6) als IIR (Infinite Impulse Response)-Filter 2. Ordnung ausgebildet ist und zwei kritisch gedämpfte, gekoppelte Tiefpässe 1. Ordnung implementiert.
5. Quasi-Peak-Detektor nach Anspruch 4, dadurch gekennzeichnet, daß das IIR (Infinite Impulse Response)-Filter 2. Ordnung drei Addierer (16, 17, 18), zwei zwischen den Addierern (16, 17, 18) vorgesehene Verzögerungselemente (19, 20), drei einen Eingang (IN) des IIR-Filters jeweils mit einem der Addierer (16, 17, 18) verbindende Eingangs-Koeffizientenmultiplizierer (21, 22, 23) und zwei den ausgangsseitigen Addierer (18) mit jeweils einem der anderen Addierer (16, 17) verbindende Rückkopplungs-Koeffizientenmultiplizierer (14, 15) umfaßt, wobei die Koeffizienten (b_1 , b_3) des den Eingang (IN) mit dem eingangsseitigen Addierer (16) verbindenden Eingangs-Koeffizientenmultiplizierers (21) und des den Eingang (IN) mit dem ausgangsseitigen Addierer (18) verbindenden Eingangs-Koeffizientenmultiplizierers (23) identisch sind.
6. Quasi-Peak-Detektor nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß vor dem digitalen Ladefilter (4) und dem digitalen Entladefilter (8) ein digitales Eingangsfilter (2a) vorgesehen ist.
7. Quasi-Peak-Detektor nach Anspruch 6, dadurch gekennzeichnet, daß das digitale Eingangsfilter (2a) als IIR (Infinite Impulse Response)-Filter 2. Ordnung ausgebildet ist.
8. Quasi-Peak-Detektor nach Anspruch 6 oder 7, da-

durch gekennzeichnet, daß zwischen dem digitalen Eingangsfiler (2a) und dem digitalen Ladefiler ein Betragsbilder (26) vorgesehen ist.

Hierzu 4 Seite(n) Zeichnungen

5

10

15

20

25

30

35

40

45

50

55

60

65

- Leerseite -

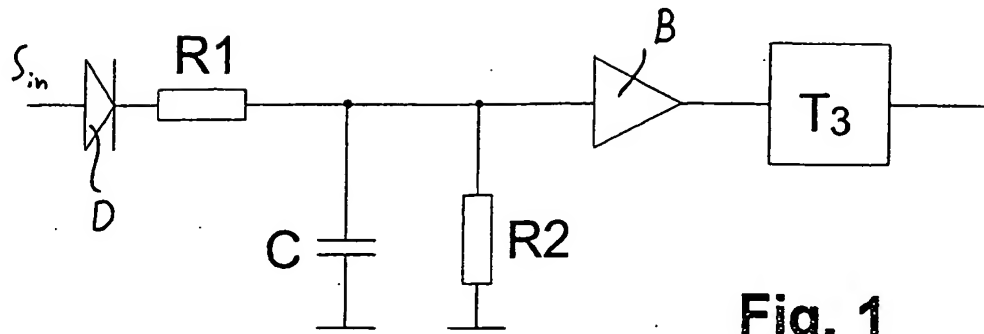


Fig. 1
Stand der Technik

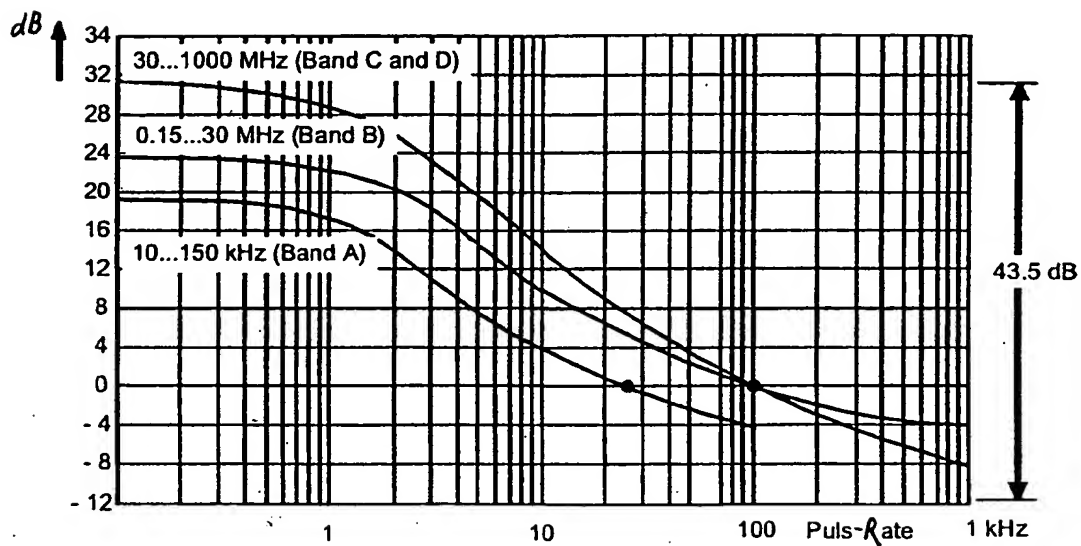
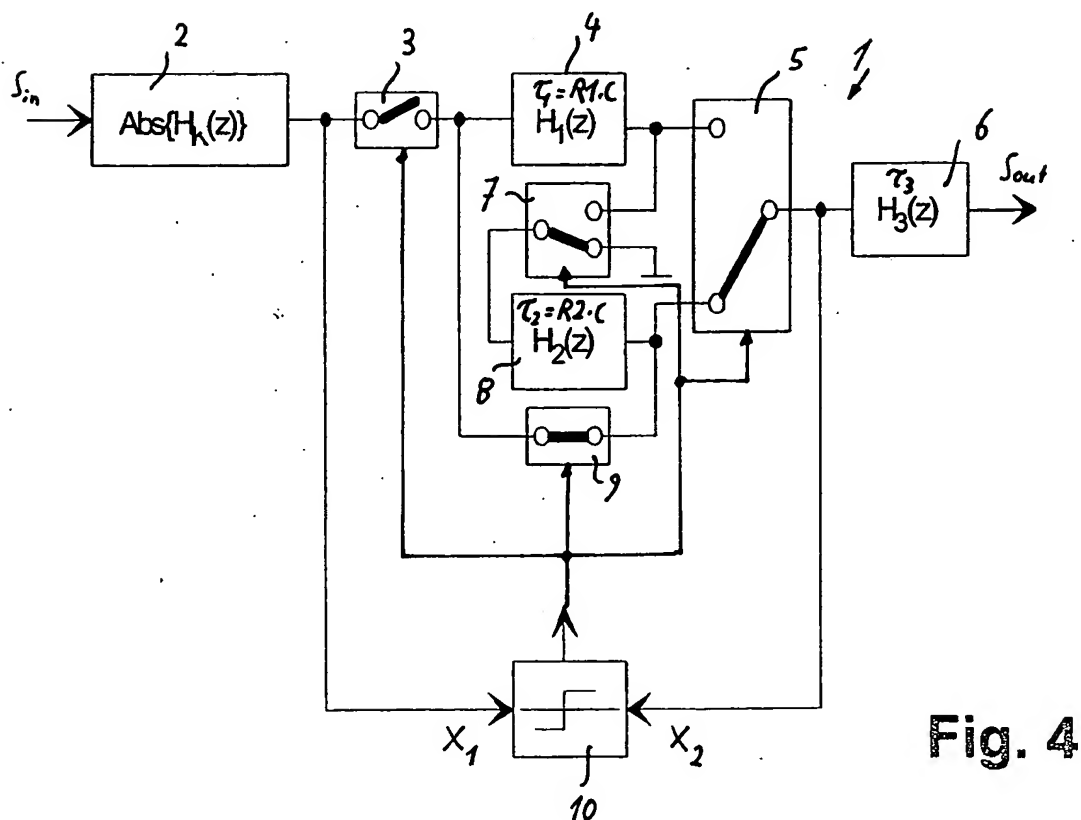
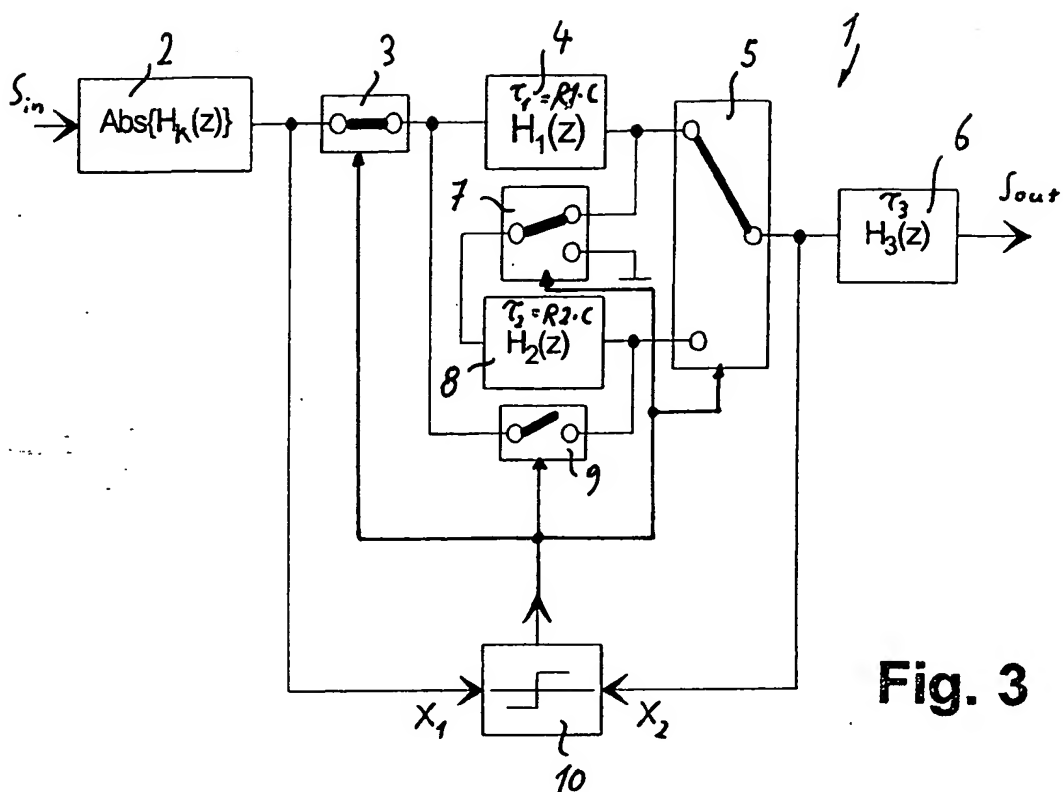


Fig. 2



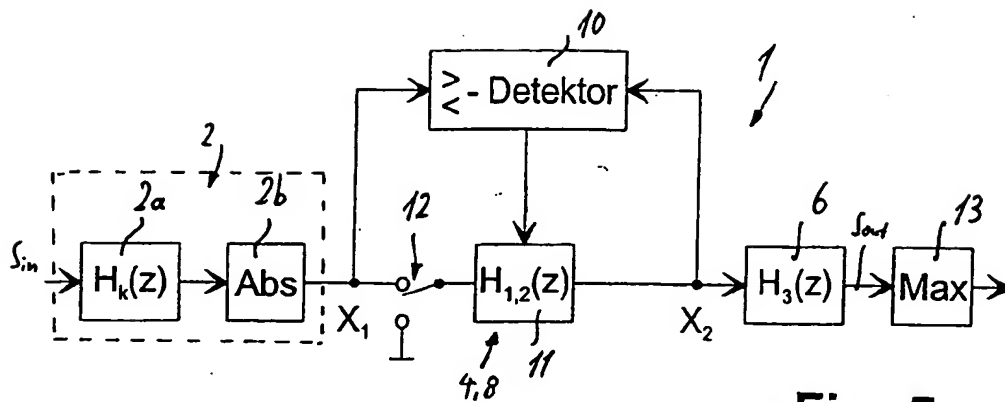


Fig. 5

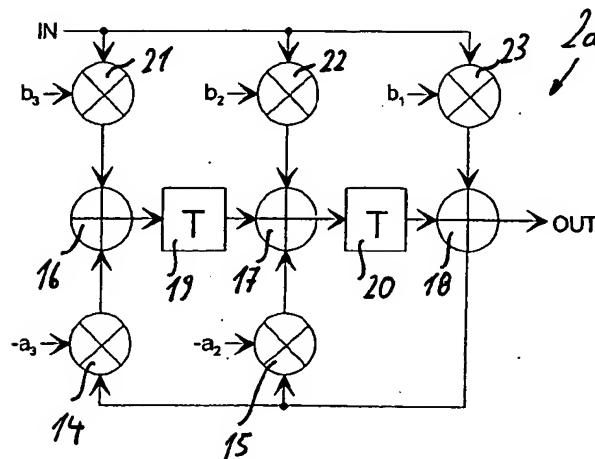


Fig. 6

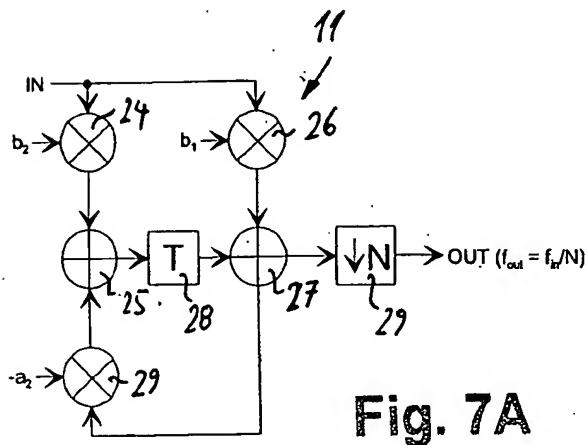


Fig. 7A

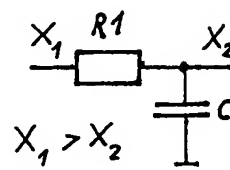


Fig. 7B

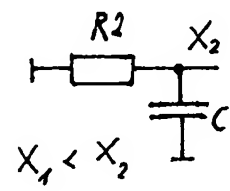


Fig. 7C

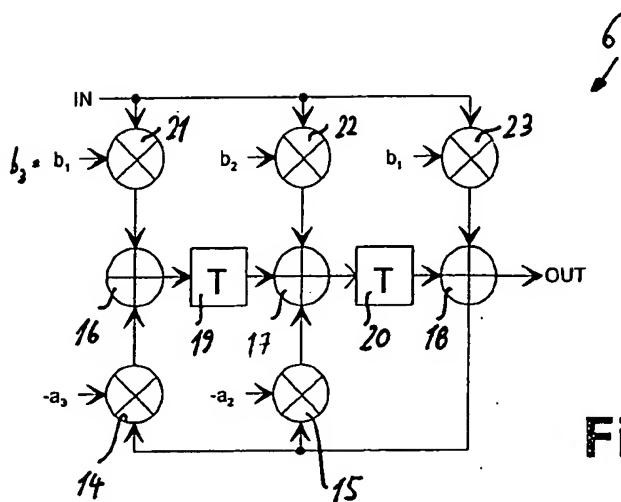


Fig. 8

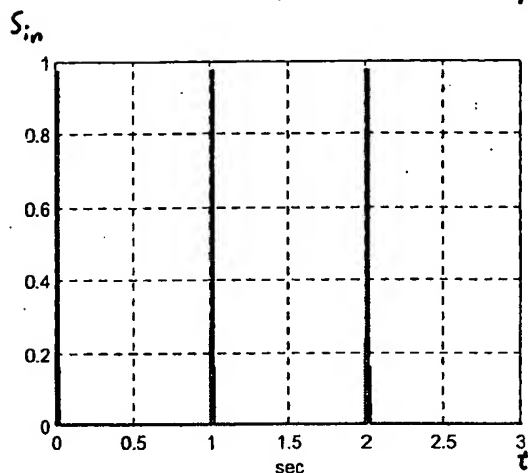


Fig. 9A

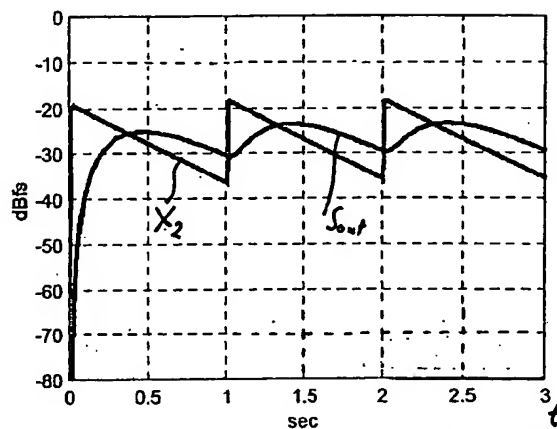


Fig. 9B

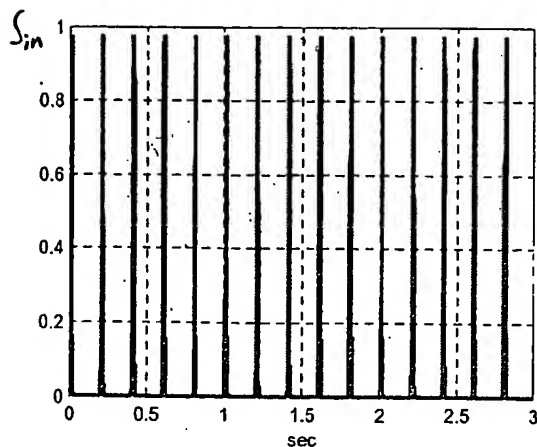


Fig. 10A

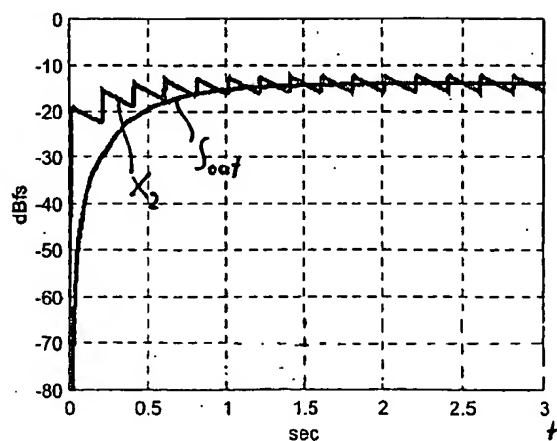


Fig. 10B